

УДК 621.382

О.В. ОСАДЧУК, Я.О.ОСАДЧУК, В.К. СКОЩУК, В.І. ПЕТРЕНКО, К.В. ШИКУН

FPGA-РЕАЛІЗАЦІЯ ХАОТИЧНОГО АТРАКТОРА НА ОСНОВІ СТРУКТУРИ З ВІД'ЄМНИМ ОПОРОМ ЗА ДОПОМОГОЮ МОДИФІКОВАНОЇ МОДЕЛІ АНІЩЕНКА-АСТАХОВА

Вінницький національний технічний університет, Хмельницьке шосе 95, 21021, м. Вінниця, Україна, e-mail:osadchuk.av69@gmail.com

Анотація. У статті представлено просту та відтворювану апаратну реалізацію хаотичного атрактора на основі структури з від'ємним опором реалізованої за допомогою модифікованої моделі Аніщенко–Астахова на FPGA з одноцикловим інтегруванням методом Ейлера. На етапі підготовки виконано Python-моделювання для підбору параметрів та кроку інтегрування, що забезпечують стійкий хаотичний режим. Апаратно враховані нелінійності моделі хаотичного атрактора на основі структури з від'ємним опором. Системне тактування 50 МГц ділиться до робочих 5 МГц, що відповідає довгому критичному шляху комбінаторної схеми та спрощує timing-closure для навчально-демонстраційних цілей. Порівняння апаратних вибірок із еталонною програмною моделлю підтвердило характерні фазові портрети, стабільну латентність оновлення та збереження хаотичних властивостей за заявлених частот. Запропонована архітектура слугує «базовою лінією» для подальшого прискорення: часткового конвеєрування окремих операцій, підвищення розрядності й переходу до методів вищого порядку, а також для інтеграції з інтерфейсами збору даних в режимі реального часу.

Ключові слова: FPGA; хаотичний аттрактор; від'ємний диференціальний опір; модифікована модель Аніщенко–Астахова; Verilog; метод Ейлера.

Abstract. The article presents a simple and reproducible hardware implementation of a chaotic attractor based on a structure with negative resistance implemented using a modified Anishchenko–Astakhov model on an FPGA with single-cycle integration by the Euler method. At the preparation stage, Python modeling was performed to select parameters and an integration step that ensure a stable chaotic regime. Nonlinearities of the model of a chaotic attractor based on a structure with negative resistance were hardware-accounted for. The system clock of 50 MHz is divided into working 5 MHz, which corresponds to the long critical path of the combinatorial circuit and simplifies timing-closure for educational and demonstration purposes. Comparison of hardware samples with the reference software model confirmed characteristic phase portraits, stable update latency, and preservation of chaotic properties at the declared frequencies. The proposed architecture serves as a “baseline” for further acceleration: partial pipeline of individual operations, increasing bit depth and transition to higher-order methods, as well as for integration with real-time data acquisition interfaces.

Keywords: FPGA; chaotic attractor; negative differential resistance; modified Anishchenko–Astakhov model; Verilog; Euler method.

DOI: 10.31649/1681-7893-2025-50-2-311-321

ВСТУП

Хаотичні динамічні системи привертають значну увагу завдяки потенційним практичним застосуванням у електронних інформаційно-енергетичних технологіях. Генератори хаотичних коливань знаходять застосування в захищеному зв'язку, шифруванні даних та генерації справжньої випадковості [1]. З появою доступних цифрових платформ виникла можливість реалізовувати такі системи апаратно, зокрема на програмованих логічних інтегральних схемах FPGA, що забезпечує виконання алгоритмів хаосу в реальному часі. Багато відомих хаотичних моделей (наприклад, системи Лоренца, Реслера, Чуа) вже реалізовано на вбудованих платформах – від мікроконтролерів і цифрових сигнальних процесорів до ASIC та FPGA [2]. Це дозволяє використовувати хаотичні генератори у пристроях зв'язку та криптографічних системах на апаратному рівні з достатньо високою швидкістю [3].

ОПТИКО-ЕЛЕКТРОННІ ПРИСТРОЇ ТА КОМПОНЕНТИ В ЛАЗЕРНИХ І ЕНЕРГЕТИЧНИХ ТЕХНОЛОГІЯХ

Серед класичних моделей детермінованого хаосу особливе місце займає генератор Аніщенко–Астахова – автоколивальна система з інерційною нелінійністю. За своєю структурою цей генератор складається з класичного генератора ван дер Поля, доповненого нелінійним інерційним зворотним зв'язком. Запропонований на початку 1980-х років, генератор Аніщенко–Астахова було реалізовано експериментально та ґрунтовно досліджено як одну з базових моделей хаотичних коливань. Система описується тривимірним набором диференціальних рівнянь з кількома параметрами, які при певних значеннях забезпечують режим дивного атрактора спірального хаосу. За рахунок введення інерційного елемента ця система є узагальненням генератора ван дер Поля, що дозволяє їй демонструвати складні режими багаточастотних автоколивань і хаосу.

Цифрова реалізація безперервних хаотичних моделей через дискретизацію диференціальних рівнянь ставить низку викликів, зокрема забезпечення достатньої швидкодії, точності обчислень та ефективного використання апаратних ресурсів [4]. Більшість сучасних досліджень у цій галузі орієнтовані на досягнення максимальної продуктивності FPGA-реалізацій хаотичних генераторів [5]. Зазвичай для цього застосовуються методи конвеєризації та паралелізації обчислень: розбиття алгоритму на кілька стадій конвеєра дозволяє скоротити довжину критичного шляху, підвищити допустиму тактову частоту і, відповідно, збільшити пропускну здатність системи [6]. Наприклад, у роботі Ма Х. та інш. показано, що використання конвеєрної архітектури для генератора на основі логістичного відображення підвищило його робочу частоту з кількох мегагерц до 296 МГц [7]. Деякі високопродуктивні реалізації демонструють теоретичні тактові частоти порядку 1 ГГц (для порівняння, в одному з останніх досліджень ядро хаотичної системи Лоренца досягло $F_{max} = 1,33$ ГГц при розрядності 16 біт) [8]. Така висока швидкість відкриває можливості використання хаотичних сигналів у задачах, що потребують великої швидкості генерування бітових послідовностей (наприклад, у генераторах істинно випадкових чисел).

АНАЛІЗ ОСТАННІХ ДОСЛІДЖЕНЬ ТА ПУБЛІКАЦІЙ

Дослідження останніх років приділили значну увагу цифровій реалізації атрактора Лоренца на FPGA, з огляду на його застосування в криптографії та генерації випадкових чисел.

У статті 2022 року Ф. Цаплігінса та ін. представлено цифрову хаотичну систему зв'язку на FPGA з модифікованим генератором хаосу Чуа та синхронізацією на основі помилки [9]. Реалізація використовувала 14–17-розрядне фіксоване представлення сигналів і працювала стабільно на частоті до 50 МГц [9]. Пропускна здатність генератора хаосу досягла 1 Гбіт/с [10]. Автори відзначають, що глибша конвеєризація обчислень тобто розбиття операцій інтегрування та додавання на кілька стадій, могла б підвищити пропускну здатність, але ціною більшого використання ресурсів FPGA і ускладнення дизайну такого проєкту [10]. Таким чином, даний проєкт обрав компроміс: помірна тактова частота для доказу концепції замість максимального прискорення.

Дамадж та ін. у 2024 році оптимізували ядра атрактора Лоренца для досягнення надвисокої швидкодії на FPGA [9]. Вони дослідили різні методи дискретизації до 6-го порядку і ширини даних від 8 до 64 біт з глибоким конвеєром. У результаті 16-розрядна реалізація досягла пропускну здатності до 3 Гбіт/с, а для 64-бітної точності до 2 Гбіт/с [9]. Повідомляється про рекордні тактові частоти в сотні мегагерц (до 500 МГц) для оптимізованої 32-бітної версії [9]. Це значно перевищує показники попередніх реалізацій: для типових рішень на 32 бітах (метод Рунге–Кутта 4-го порядку) найкраща частота становила приблизно 390 МГц, а пропускна здатність – лише 80–150 Мбіт/с [9]. Таким чином, робота Дамаджа демонструє, що ретельна ручна оптимізація архітектури дозволяє суттєво перевершити типові апаратні генератори хаосу за швидкістю.

У 2023 році Г. Ель-Сайєд та ін. запропонували адаптивний цифровий генератор хаотичних ключів на FPGA, використавши інструмент високорівневого синтезу (MATLAB HDL Coder) для отримання коду [11]. Однак автоматична генерація HDL без ручної оптимізації призвела до дуже низької граничної частоти: всього 15,7 МГц при 32-бітному представленні даних та 11,6 МГц у альтернативному варіанті реалізації на Spartan-6 [11]. Дані дослідження показують обмеження підходів з високорівневим описом, що без тонкого налаштування конвеєра довгі комбінаційні шляхи істотно знижують максимальну швидкість. Попри прийнятну коректність генерації випадковості, швидкість такого рішення значно поступається вручну оптимізованим проєктам на Verilog/VHDL.

У дослідженні 2023 року з криптографії проведено порівняльний аналіз хаотичних властивостей систем Лоренца і Реслера [12, 13]. Встановлено, що система Лоренца демонструє вищу міру хаотичності та складності, ніж система Реслера [14, 15]. Зокрема, аттрактор Лоренца має більшу фрактальну розмірність і позитивні показники Ляпунова, що вказує на швидше розходження траєкторій і вищу непередбачуваність. Натомість хаотичний аттрактор на основі модифікованого методу Аніщенко–

ОПТИКО-ЕЛЕКТРОННІ ПРИСТРОЇ ТА КОМПОНЕНТИ В ЛАЗЕРНИХ І ЕНЕРГЕТИЧНИХ ТЕХНОЛОГІЯХ

Астахова характеризується простішою динамікою і меншою чутливістю до початкових умов [16]. Через це більшість апаратних генераторів хаосу зосереджено саме на системах на кшталт Лоренца та Реслера на FPGA, а от на основі атрактора Аніщенка-Астахова практично не зустрічаються.

На основі огляду можна зробити такі висновки, релевантні для цієї роботи. Більшість сучасних апаратних реалізацій хаотичних систем на FPGA орієнтуються на класичні моделі Лоренца, Чуа або Чена і досягають високої швидкодії за рахунок глибокої конвеєризації або використання HLS, тоді як комбінаторні схеми на помірних частотах трапляються рідше. На цьому тлі в даній роботі запропонована реалізація хаотичного атрактора на основі структури з від'ємним опором реалізованої за допомогою модифікованої моделі Аніщенка-Астахова на FPGA вирізняється двома аспектами: по-перше, вона фокусується на менш висвітлених у цифрових реалізаціях системі; по-друге, свідомо обирає простий комбінаторний підхід без конвеєризації. У підсумку одержано інструктивну, відтворювану архітектуру з фіксованою точкою, підтверджену попереднім Python-моделюванням і практичною перевіркою на FPGA при тактуванні до 5 МГц. Цей результат доцільно розглядати як навчально-демонстраційну «базову лінію» для подальших досліджень хаотичного атрактора на основі структури з від'ємним опором реалізованої за допомогою модифікованої моделі Аніщенка-Астахова на FPGA: від тонкого налаштування fixed-point та апроксимації нелінійностей до можливого часткового конвеєрування окремих операцій у майбутніх, швидкісніших версіях.

ФОРМУЛЮВАННЯ ПРОБЛЕМИ

Метою цієї роботи є: розробити просту, інструктивну комбінаторну апаратну реалізацію хаотичного атрактора на основі структури з від'ємним опором [17, 18] реалізованої за допомогою модифікованої моделі Аніщенка-Астахова на FPGA з попереднім моделюванням у Python; підтвердити коректність роботи на реальній FPGA у діапазоні тактових частот до 5 МГц без орієнтації на високу швидкість; продемонструвати типову структуру реалізації динамічних систем такого класу у фіксованій точності. Для досягнення поставленої мети передбачено вирішення таких ключових завдань:

1. Алгоритмічні основи. Записати рівняння модифікованої системи Аніщенка-Астахова в безрозмірній формі, виділити нелінійність $G(x)$, обрати чисельний інтегратор (прямий Ейлер) і обґрунтувати вибір кроку Δt з урахуванням стійкості й збереження хаотичного режиму у fixed-point.
2. Моделювання в середовищі Python. Реалізувати еталонну модель подвійної точності з інтегратором Ейлера; підібрати параметри, що дають стійкий хаос; провести базовий аналіз (фазові портрети, спектр, автокореляція).
3. Реалізація на Verilog і симуляція. Спроекувати комбінаторний обчислювальний шлях одного кроку інтегрування (обчислення похідних і оновлення станів за Ейлером у межах одного такту) у фіксованій точності;
4. Інтеграція та тестування на FPGA. Виконати синтез і мінімальний таймінг-аналіз для частот до 5 МГц; підготувати простий інтерфейс виводу даних: ЦАП для візуалізації $x(t)$, $y(t)$ на осцилографі. Продемонструвати стабільну роботу на заявленій частоті при зміні живлення і температури в межах плати.

Очікуваний результат: працездатний приклад комбінаторної реалізації хаотичного атрактора на основі структури з від'ємним опором реалізованої за допомогою модифікованої моделі Аніщенка-Астахова на FPGA з тактуванням до 5 МГц, який відтворює характерні динамічні властивості системи, узгоджується з Python-моделлю у межах обраної фіксованої точності та слугує навчально-демонстраційною основою для подальших, швидкісніших або точніших архітектур.

ТЕОРЕТИЧНІ ТА ЕКСПЕРИМЕНТАЛЬНІ ДОСЛІДЖЕННЯ

Спочатку наведемо математичні рівняння модифікованої системи Аніщенка-Астахова для хаотичного атрактора на основі структури з від'ємним опором, а далі буде представлено підхід до її чисельного інтегрування на FPGA – комбінаторний. Для приклада обчислень наведено диференціальні рівняння, далі формули методу Ейлера для одноциклової (комбінаторної) реалізації. Комбінаторний підхід обмежений довгим критичним шляхом при реалізації в FPGA і частотою приблизно 5 МГц, але надає простоту і швидкість реалізації.

Математичне рівняння рівняння модифікованої системи Аніщенка-Астахова для хаотичного атрактора на основі структури з від'ємним опором має вигляд [16]

ОПТИКО-ЕЛЕКТРОННІ ПРИСТРОЇ ТА КОМПОНЕНТИ В ЛАЗЕРНИХ І ЕНЕРГЕТИЧНИХ ТЕХНОЛОГІЯХ

$$\begin{cases} \dot{x}_1 = m \cdot x_1 + x_2 - x_1 x_3 - d \cdot G(x_1), \\ \dot{x}_2 = -x_1, \\ \dot{x}_3 = -g \cdot x_3 + g \cdot I(x) \cdot F(x_1), \end{cases} \quad (1)$$

де $G(x_1)$ – функція, що описує робочу вітку сімейства статичних вольт-амперних характеристик структури з від’ємним опором; $F(x_1)$ – функція, що описує властивості інерційного перетворювача, d – параметр, що відповідає ступеню впливу нелінійності крутизни характеристики структури з від’ємним опором, $I(x)$ – функція, що визначається з системи

$$I(x) = \begin{cases} 1, & x > 0, \\ 0, & x \leq 0. \end{cases} \quad (2)$$

До складу цих рівнянь входять параметри дискретних транзисторів структури з від’ємним опором, а також номінали елементів схеми, що забезпечують режим живлення самої структури. Перехід до нормованих змінних у цих рівняннях по відношенню до максимуму струму та максимальній напрузі протяжності спадної ділянки вольт-амперної характеристики структури з від’ємним опором дозволив запропонувати наступні два рівняння апроксимації вольт-амперної характеристики структури з від’ємним опором із вигинами вниз (3) та вгору (4):

$$G(x) = 2,029 \cdot 10^{-3} x + M(1 - 1,002x)^n \tanh\left(\frac{25x}{1 - 1,002x}\right), \quad (3)$$

де n – ціле додатне число ($n \neq 0$), M – масштабний коефіцієнт графіка нормованої вольт-амперної характеристики структури з від’ємним опором. При вольт-амперній характеристиці вигнутій вниз необхідно використовувати рівняння (3) з такими умовами: якщо $n = 1$ тоді $M = 1,114$, якщо $n = 2$ тоді $M = 1,217$, якщо $n = 3$ тоді $M = 1,29$, якщо $n = 4$ тоді $M = 1,39$

$$G(x) = 2,029 \cdot 10^{-3} x + M\sqrt[n]{1 - 1,002x} \tanh\left(\frac{25x}{1 - 1,002x}\right), \quad (4)$$

де n – ціле додатне число ($n \neq 0$), M – масштабний коефіцієнт графіка нормованої вольт-амперної характеристики. При вольт-амперній характеристиці структури з від’ємним опором вигнутій вгору, необхідно використовувати рівняння (4) з такими умовами: якщо $n = 1$, тоді $M = 1,114$; якщо $n = 2$, тоді $M = 1,062$; якщо $n = 3$, тоді $M = 1,037$; якщо $n = 4$, тоді $M = 1,033$.

У комбінаторному підході всі операції обчислення похідних і оновлення стану виконуються в одному такті без регістрових буферів між ними. Для розв’язку вищезгаданої системи було вирішено використовувати метод Ейлера, який є простим у реалізації та дає явне наближення рішення диференціальних рівнянь за фіксованим кроком інтегрування Δt . Нехай вектор стану в момент часу n дорівнює $s_n = [x_n, y_n, z_n]^T$, а праві частини системи позначені як $s = \dot{f}(s)$. Тоді за методом Ейлера у випадку модифікованої системи Аніщенка-Астахова для генератора хаоса на структурі з від’ємним опором інтегрування системи маємо

$$x_{n+1} = x_n + \Delta t(m \times x + y - x \times z - d \times G(x)), \quad (5)$$

$$y_{n+1} = y_n + \Delta t(-x), \quad (6)$$

$$z_{n+1} = z_n + \Delta t(-g \times z + g \times I(x) \times F(x)). \quad (7)$$

Таким чином, кожен крок інтегрування зводиться до послідовності операцій множення та додавання, що дозволяє реалізувати його в комбінаційній формі. У комбінаторному підході вся логіка чисельного інтегрування системи детермінованого хаоса побудованої на основі структури з від’ємним опором методом Ейлера збирається в одному монолітному блоці, без регістрів між проміжними результатами. Це означає, що в кожному тактовому циклі сигнал проходить усі арифметичні операції від початкових x, y, z до нових $x_{n+1}, y_{n+1}, z_{n+1}$. Весь цей ланцюжок операцій виконується «в повітрі», тобто

ОПТИКО-ЕЛЕКТРОННІ ПРИСТРОЇ ТА КОМПОНЕНТИ В ЛАЗЕРНИХ І ЕНЕРГЕТИЧНИХ ТЕХНОЛОГІЯХ

статична комбінаційна логіка формується за допомогою декількох мультиплікаторів DSP і суматорів, з'єднаних без регістрів.

```
always @(*) begin
  x1_reg0 = ($signed(m) * $signed(x1)) >>> 16;
  x1_reg1 = ($signed(x1) * $signed(x3)) >>> 16;
  x1_reg2 = ($signed(d) * $signed(G(x1))) >>> 16;
  x1_reg3 = x1_reg0 + x2 - x1_reg1 - x1_reg2;
  x1_next_calc = x1 + (($signed(x1_reg3) * $signed(dt)) >>> 16);
end
```

Рисунок 1 – Комбінаторний підхід для розв'язку модифікованої системи Аніщенко-Астахова методом Ейлера для хаотичної системи на основі структури з від'ємним опором

Недоліками даного методу є: довгий критичний шлях. Шлях сигналу проходить через кілька послідовних мультиплікацій і додавань; обмежена тактова частота. У реальних FPGA через трасування й додаткові буфери f_{max} зазвичай не перевищує 15 МГц. Спроба прискорити призводить до «шуму» на виході; високе енергоспоживання. При відсутності регістрів проміжні вузли генерують великий об'єм перехідних імпульсів (glitches), що підвищує динамічний розгін живлення; складність трасування та статичного аналізу. Статика часу («timing closure») ускладнюється через велику кількість ланок без проміжних етапів: невелика зміна структури може зруйнувати баланс затримок.

У сукупності ці обмеження роблять комбінаторний підхід не досить оптимальним для високошвидкісної генерації хаотичних сигналів на FPGA, але при відсутності вимог до високої швидкодії цей підхід дає достатню швидкість кодування та декодування інформації для передачі та прийому інформативного сигналу, а також простоту і наглядність реалізації.

МОДЕЛЮВАННЯ В СЕРЕДОВИЩІ PYTHON

У цьому підрозділі розглядається попереднє (програмне) моделювання динамічної хаотичної системи на основі структури з від'ємним опором модифікованим методом Аніщенко-Астахова. Такий підхід дозволяє швидко перевірити коректність алгоритму інтегрування й виявити ключові особливості динаміки перед переходом до апаратної реалізації. Наведений нижче код (рис. 2) реалізує модифіковану систему Аніщенко-Астахова методом Ейлера (Forward Euler). Для наочності наведено мінімальний приклад, який легко адаптувати під різні значення кроку Δt та часу симуляції T .

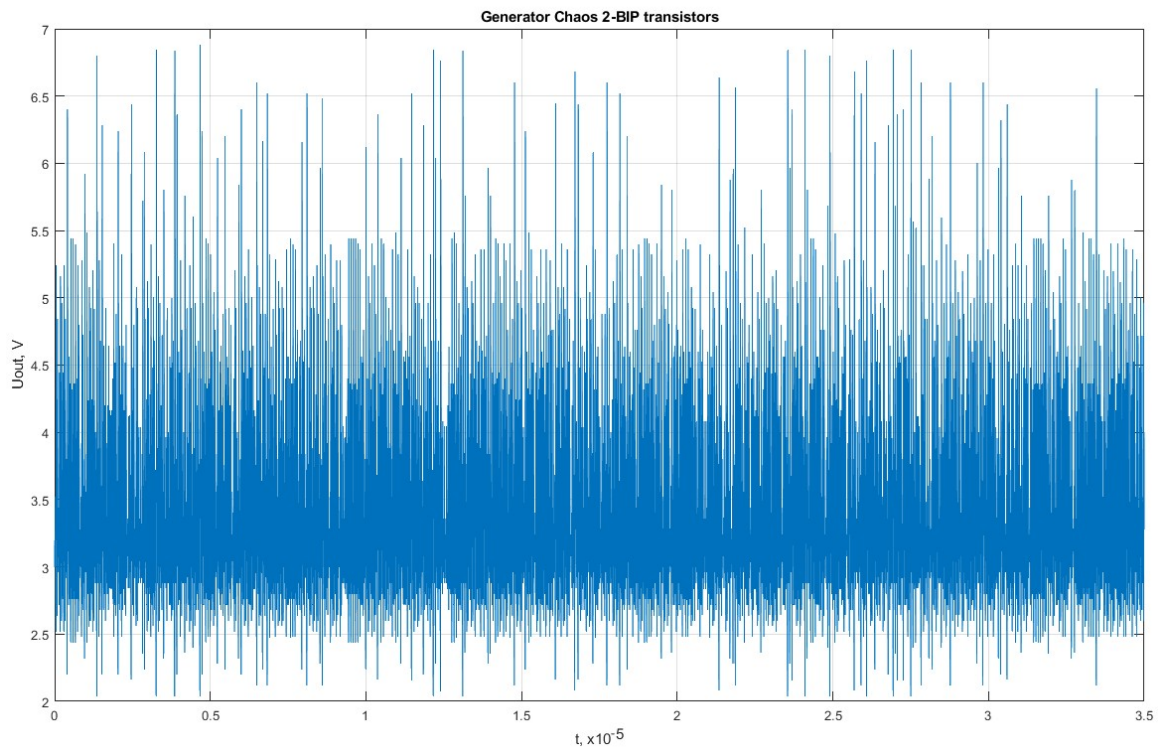
```
import numpy as np
import matplotlib.pyplot as plt
def solve_anishchenko_astakhov_5_24(m=1.0,
                                     d=1.0,
                                     g=1.0,
                                     G=lambda x1: x1,
                                     F=lambda x1: x1,
                                     I=lambda x1: x1,
                                     x10=0.1,
                                     x20=0.0,
                                     x30=0.0,
                                     dt=0.01,
                                     T=100.0):
    """
    Forward-Euler solver for system (5.24):
         $\dot{x}_1 = m \cdot x_1 + x_2 - x_1 \cdot x_3 - d \cdot G(x_1)$ 
         $\dot{x}_2 = -x_1$ 
         $\dot{x}_3 = -g \cdot x_3 + g \cdot I(x_1) \cdot F(x_1)$ 
    """
    n_steps = int(T / dt)
    t = np.linspace(0, T, n_steps + 1)
    x1 = np.zeros(n_steps + 1)
    x2 = np.zeros(n_steps + 1)
    x3 = np.zeros(n_steps + 1)
```

```
x1[0], x2[0], x3[0] = x10, x20, x30
for i in range(n_steps):
    dx1 = m * x1[i] + x2[i] - x1[i] * x3[i] - d * G(x1[i])
    dx2 = -x1[i]
    dx3 = -g * x3[i] + g * I(x1[i]) * F(x1[i])

    x1[i+1] = x1[i] + dt * dx1
    x2[i+1] = x2[i] + dt * dx2
    x3[i+1] = x3[i] + dt * dx3
return t, x1, x2, x3
if __name__ == "__main__":
    m = 1.117
    d = 0.01
    g = 0.5
    dt = 0.02
    T = 500.0
    x0 = 1.0
    y0 = 1.0
    z0 = 1.0
    # Solve the system
    t, x_sol, y_sol, z_sol = solve_anishchenko_astakhov_5_24(m, d, g, G, F,
I, x0, y0, z0, dt, T)
```

Рисунок 2 – Реалізація модифікованої системи Аніщенко-Астахова методом Ейлера для хаотичної системи на основі структури з від’ємним опором на Python

Комп’ютерне моделювання підтвердили наявність неперіодичних коливання $x(t)$ у обмеженому часовому діапазоні. Це свідчить про стійкий хаотичний режим: система не «розлітається», але й не набуває сталої періодичності. Малі зміни параметрів або початкових умов призводять до суттєвих відмінностей у траєкторіях, підтверджуючи чутливість хаотичної системи на основі структури з від’ємним опором модифікованим методом Аніщенко-Астахова.



ОПТИКО-ЕЛЕКТРОННІ ПРИСТРОЇ ТА КОМПОНЕНТИ В ЛАЗЕРНИХ І ЕНЕРГЕТИЧНИХ ТЕХНОЛОГІЯХ

Рисунок 3 – Результат моделювання поведінки хаотичної системи на основі структури з від’ємним опором модифікованим методом Аніщенка-Астахова на Python

На рис. 4 наведено допоміжні нелінійності $G(x)$, $F(x)$ та $I(x)$ що входять до повної моделі. $G(x)$ поєднує лінійний і сигмоїдальний члени ($\tanh$) для опису робочої гілки вольт-амперної характеристики структури з від’ємним опором; $F(x)$ – кубічно-домінантна інерційна характеристика; $I(x)$ задає порогову умову нелінійного елемента в коливальній системі структури з від’ємним опором.

```
def G(x):
    """
     $G(x) = 2.029 \cdot 10^{-3} \cdot x + 1.114 \cdot (1 - 1.002 \cdot x) \cdot \tanh(25 \cdot x / (1 - 1.002 \cdot x))$ 
    """
    return 2.029e-3 * x + 1.114 * (1 - 1.002 * x) * np.tanh(25 * x / (1 - 1.002 * x))
def F(x):
    """
     $F(x) = 2.88 \cdot 10^{-6} \cdot x + 2.074 \cdot 10^{-3} \cdot x^2 + 0.995 \cdot x^3$ 
    """
    return 2.88e-6 * x + 2.074e-3 * x**2 + 0.995 * x**3
def I(x):
    """
     $I(x) = 1$  if  $x > 0$  else  $0$ 
    """
    return 1 if x > 0 else 0
```

Рисунок 4 – Допоміжні нелінійності $G(x)$, $F(x)$, $I(x)$ на Python

У підсумку хаотичні системи на основі структури з від’ємним опором модифікованим методом Аніщенка-Астахова залишаються в стабільному, але хаотичному режимі, що означає:

- Система не розбігається - змінні залишаються в межах кінцевих амплітуд.
- Відсутній регулярний період - криві не повторюються через однакові проміжки часу.
- Коливання виглядають «шумоподібно» - типово для хаотичних процесів, де невеликі зміни початкових умов можуть суттєво вплинути на траєкторію.

Реалізація на Verilog

У цьому підрозділі показано, як на практиці реалізовано в апаратній мові Verilog чисельний інтегратор для хаотичної системи на основі структури з від’ємним опором модифікованим методом Аніщенка-Астахова з використанням комбінаторного підходу. Нижче наведено основні етапи реалізації системи в Verilog. Усі коефіцієнти системи та крок інтегрування задаються як 32-бітні константи в Q16.16 (рис. 5).

```
//***** PARAMETERS *****/
parameter signed [31:0] dt = 32'h0000051F; // 0.02 * 2^16
parameter signed [31:0] m = 32'h00011DF4; // 1.117 * 2^16
parameter signed [31:0] d = 32'h0000028F; // 0.01 * 2^16
parameter signed [31:0] g = 32'h00008000; // 0.5 * 2^16
parameter signed [31:0] x1_0 = 32'h00010000; // 1.0
parameter signed [31:0] x2_0 = 32'h00010000; // 1.0
parameter signed [31:0] x3_0 = 32'h00010000; // 1.0
```

Рисунок 5 – Коефіцієнти системи

Далі оголошуються регістри для проміжних результатів $x1_next_calc$, $x2_next_calc$, $x3_next_calc$ та службові прапорці керування обчисленнями: для кожної координати використовуються пари запуску (x_start_flag) і ознака завершення (x_done_flag) (рис. 6).

```
//***** PIPELINE OUTPUTS & GUARD DELAY *****/
reg signed [31:0] x1_next_calc = x1_0, x2_next_calc = x1_0, x3_next_calc = x1_0;
reg x1_start_flag1 = 1'd0, x1_start_flag2 = 1'd0, x1_done_flag = 1'd0;
```

ОПТИКО-ЕЛЕКТРОННІ ПРИСТРОЇ ТА КОМПОНЕНТИ В ЛАЗЕРНИХ І ЕНЕРГЕТИЧНИХ ТЕХНОЛОГІЯХ

```
reg x2_start_flag1 = 1'd0, x2_start_flag2 = 1'd0, x2_done_flag = 1'd0;
reg x3_start_flag1 = 1'd0, x3_start_flag2 = 1'd0, x3_done_flag = 1'd0;
```

Рисунок 6 – Регістри для проміжних результатів

Оновлення стану і планувальник запусків реалізовано в єдиному процесі *always @(posedge clk or posedge rst)* (рис. 7). Після скидання регістри станів *x1*, *x2*, *x3* приймають початкові значення, а службові прапорці скидаються. Далі обчислення виконуються «пакетами»: коли всі три гілки встановили свої **_done_flag*, нові значення *x*_next_calc* одночасно записуються у *x**. Одразу після запису планувальник почергово активує один із наборів стартових прапорців, запускаючи наступний пакет обчислень. Такий guard/commit-механізм гарантує синхронне оновлення всіх трьох координат і залишається стабільним для низьких тактових частот (до 5 МГц) у комбінаторній реалізації.

```
always @(posedge clk or posedge rst) begin
  if (rst) begin
    x1 = x1_0;
    x2 = x2_0;
    x3 = x3_0;
    {x1_start_flag1,x2_start_flag1,x3_start_flag1} = 3'b000;
    {x1_start_flag2,x2_start_flag2,x3_start_flag2} = 3'b000;
    // when all three pipelines are finished: commit the results
  end else if (x1_done_flag && x2_done_flag && x3_done_flag) begin
    x1 = x1_next_calc; // last cycle's result becomes the new state
    x2 = x2_next_calc;
    x3 = x3_next_calc;
    if ({x1_start_flag1,x2_start_flag1,x3_start_flag1} == 3'b000) begin
      {x1_start_flag1,x2_start_flag1,x3_start_flag1} = 3'b111;
      {x1_start_flag2,x2_start_flag2,x3_start_flag2} = 3'b000;
    end else begin
      {x1_start_flag1,x2_start_flag1,x3_start_flag1} = 3'b000;
      {x1_start_flag2,x2_start_flag2,x3_start_flag2} = 3'b111;
    end
    // fire the next batch once the previous one is committed
  end else if (!x1_start_flag1 && !x2_start_flag1 && !x3_start_flag1 &&
!x1_start_flag2 && !x2_start_flag2 && !x3_start_flag2) begin
    {x1_start_flag1,x2_start_flag1,x3_start_flag1} = 3'b111;
    {x1_start_flag2,x2_start_flag2,x3_start_flag2} = 3'b000;
  end
end
```

Рисунок 7 – Планувальник запусків

Блок для обчислення *x1_next* (рис. 8).

```
//===== X1 =====//
// X1: Compute x1' = m·x1 + x2 - x1·x3 - d·G(x1), then update
// G(x1) = 2.029·10-3·x1 + 1.114·(1 - 1.002·x1)·tanh(25·x1 / (1 -
1.002·x1))
// x1' = m·x1 + x2 - x1·x3 - d·(2.029·10-3·x1 + 1.114·(1 -
1.002·x1)·tanh(25·x1 / (1 - 1.002·x1)))
// x1_next = x1 + ((x1' * dt) >>> 16)
//-----
reg signed [63:0] x1_reg0, x1_reg1, x1_reg2, x1_reg3;
always @(posedge x1_start_flag1 or posedge x1_start_flag2) begin
  x1_done_flag = 1'b0;
  x1_reg0 = ($signed(m) * $signed(x1)) >>> 16;
  x1_reg1 = ($signed(x1) * $signed(x3)) >>> 16;
  x1_reg2 = ($signed(d) * $signed(G(x1))) >>> 16;
  x1_reg3 = x1_reg0 + x2 - x1_reg1 - x1_reg2;
  x1_next_calc = x1 + (($signed(x1_reg3) * $signed(dt)) >>> 16);
  x1_done_flag = 1'd1;
```

end

Рисунок 8 – Реалізація блоку x1

Представлена реалізація демонструє комбінаторний підхід до чисельного інтегрування хаотичної системи на основі структури з від’ємним опором модифікованим методом Аніщенко-Астахова у Verilog: від задання параметрів у форматі Q16.16 та організації guard/commit-последовності до узгодженого оновлення трьох координат у спільному пакеті. Обчислення виконуються «крок за пакетом»: три гілки запускаються одночасно, після чого результати синхронно записуються в регістри станів. Така схема зберігає передбачувану затримку, не потребує складної керуючої логіки і залишається стабільною на низьких тактових частотах до 5 МГц. Окрему увагу приділено єдиному масштабу фіксованої точки, проміжним добуткам підвищеної розрядності та уніфікованим зсувам для повернення до Q16.16. Завдяки інкапсуляції допоміжних нелінійностей у зовнішніх функціях модуль легко адаптувати до інших параметрів або споріднених динамічних систем. За потреби реалізацію можна розширити мінімальними засобами візуалізації, збиранням вибірок через UART і простими обмеженнями діапазонів – без зміни загальної структури коду.

РЕАЛІЗАЦІЯ НА FPGA

Для переходу до реального пристрою було складено базову схему хаотичної системи на основі структури з від’ємним опором модифікованим методом Аніщенко-Астахова на FPGA (рис. 9).

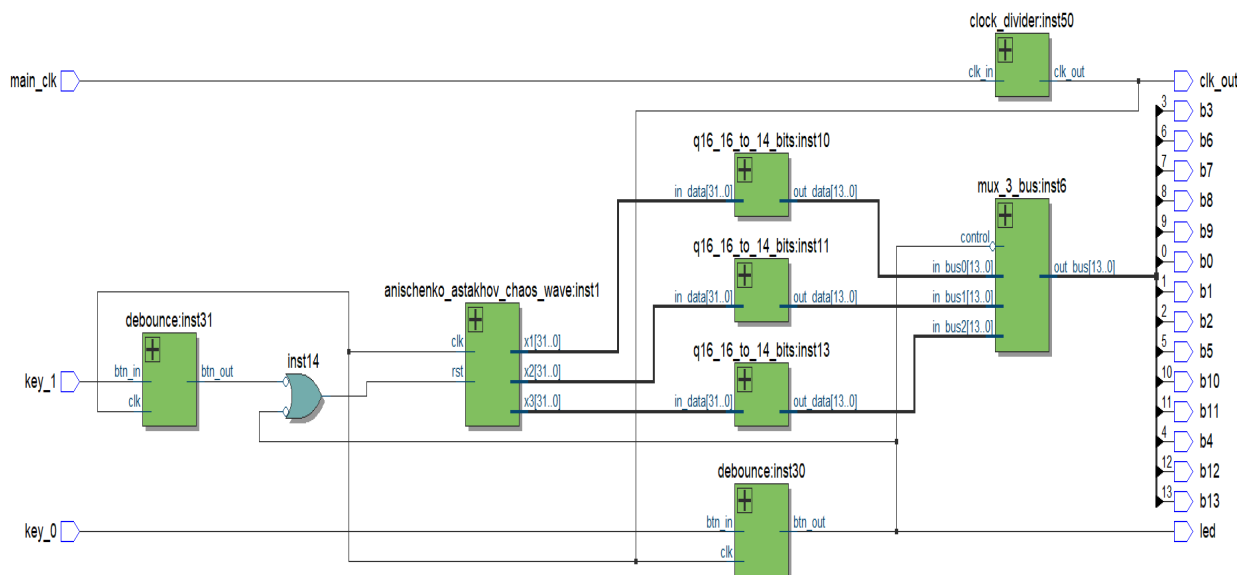


Рисунок 9 – Схема генерції хаотичного сигналу хаотичної системи на основі структури з від’ємним опором модифікованим методом Аніщенко-Астахова із наступною передачею через 14-бітну шину

На вході схеми подається системний тактовий сигнал *main_clk* (50 МГц), який модулем *clock_divider* ділиться до робочої частоти 5 МГц. Поділене тактування підводиться до генератора хаотичного атрактора *anischenko_astakhov_chaos_wave* й визначає ритм його обчислень. Дві кнопки *key1* та *key0* проходять через антидребезгові блоки *debounce* (*inst31*, *inst30*), що формують чисті одиничні фронти. Оброблений сигнал від *key1* через керувальний елемент *inst14* подається на вхід *rst* генератора для коректного скидання. Вихід *key0* керує мультиплексором *mux_3_bus*, перемикаючи, який канал буде виведений назовні.

Центральний модуль *anischenko_astakhov_chaos_wave* формує три 32-бітні значення *x1*, *x2*, *x3* у фіксованій точці Q16.16. Кожен сигнал надходить до свого перетворювача *q16_16_to_14_bits* (*inst10*, *inst11*, *inst13*), де відтинаються молодші біти та формується 14-бітний представлення, зручне для подальшого виводу. Мультиплексор *mux_3_bus* приймає три 14-бітні шини та за керувальним сигналом (від *key0*) подає обраний канал на лінії *out_bus[13:0]*, що виходять на роз’єм *b0-b13* (для під’єднання до ЦАП/візуалізації). Окремий вивід *led* може використовуватись для індикації стану.

У підсумку це демонстраційна конфігурація: системне тактування задає частоту обчислень у

ОПТИКО-ЕЛЕКТРОННІ ПРИСТРОЇ ТА КОМПОНЕНТИ В ЛАЗЕРНИХ І ЕНЕРГЕТИЧНИХ ТЕХНОЛОГІЯХ

тактовому домені 5 МГц, *key1* забезпечує скидання модуля, а *key0* дозволяє обирати між *x1*(рис.10). Обраний 14-бітний сигнал виводиться в реальному часі для подальшої обробки або спостереження.

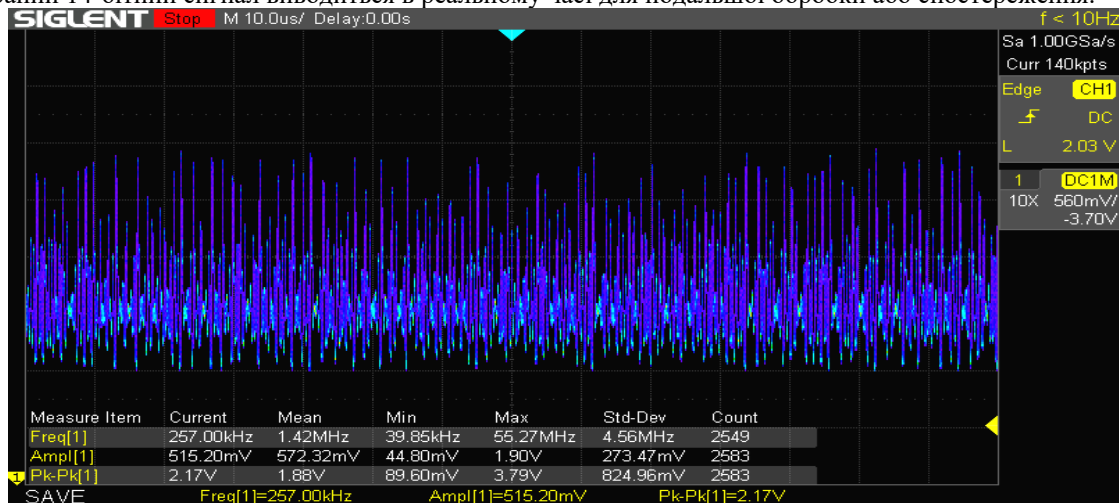


Рисунок 10 – Результат роботи хаотичної системи на основі структури з від’ємним опором модифікованим методом Аніщенка-Астахова канал *x1*

ВИСНОВКИ

Запропоновано інструктивну комбінаторну (одноциклову) FPGA-реалізацію хаотичної системи на основі структури з від’ємним опором модифікованим методом Аніщенка-Астахова у фіксованій точці Q16.16 з чисельним інтегруванням методом Ейлера. Архітектура з *guard/commit*-оновленням станів забезпечує узгоджене оновлення трьох координат без конвеєризації та є відтворюваною на доступних FPGA.

Попереднє Python-моделювання та апаратні експерименти підтвердили стійкий хаотичний режим, характерні фазові портрети та відповідність апаратних вибірок еталонній програмній моделі в межах обраної точності.

Інтеграція з базовою периферією (ділення системного такту до 5 МГц, антидребезг кнопок, мультиплексування каналів, перетворення Q16.16→14-біт) дозволила отримати візуалізацію *x1*, *x2*, *x3* у реальному часі через 14-бітну шину для ЦАП/осцилографа, що робить розробку зручною для навчально-демонстраційних стендів.

Показано ключові обмеження комбінаторного підходу: довгий критичний шлях, обмежена гранична частота (порядку кількох мегагерц), підвищені перехідні споживання (*glitches*) та складніший *timing-closure*. Для задач, де не вимагається висока пропускна здатність, ці компроміси є прийнятними.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ / REFERENCES

1. Migwi, D.; Romaniuk, R.S. Lightweight and Scalable Security for Wireless IoT Systems: Challenges and Research Directions. *Int. J. Electron. Telecommun.* 2025, 71, 1–8.
2. Ullah, S.; Radzi, R.Z.; Yazdani, T.M.; Alshehri, A.; Khan, I. Types of Lightweight Cryptographies in Current Developments for Resource Constrained Machine Type Communication Devices: Challenges and Opportunities. *IEEE Access* 2022, 10, 35589–35604.
3. Babajans, R.; Cirjulina, D.; Kolosovs, D. Field-Programmable Gate Array-Based Chaos Oscillator Implementation for Analog–Discrete and Discrete–Analog Chaotic Synchronization Applications. *Entropy* 2025, 27, 334. <https://doi.org/10.3390/e27040334>
4. Kennedy, M. Chaos in the Colpitts oscillator. *IEEE Trans. Circuits Syst. I Fundam. Theory Appl.* 1994, 41, 771–774.
5. Hussain F., Hussain R., Hassan S.A., Hossain E. Machine Learning in IoT Security: Current Solutions and Future Challenges. *IEEE Commun. Surv. Tutorials* 2020, 22, 1686–1721.
6. Fu, Y.; Yu, Q.; Li, H. Design of a Differential Chaotic Shift Keying Communication System Based on Noise Reduction with Orthogonal Double Bit Rate. *Appl. Sci.* 2024, 14, 10723. <https://doi.org/10.3390/app142210723>
7. Ma, X., Lin, F. & Yao, B. Fast parallel algorithm for slicing STL based on pipeline. *Chin. J. Mech. Eng.* 29, 549–555 (2016). <https://doi.org/10.3901/CJME.2016.0309.028>

8. Orlandić M, Fjeldtvedt J, Johansen TA. A Parallel FPGA Implementation of the CCSDS-123 Compression Algorithm. *Remote Sensing*. 2019; 11(6):673. <https://doi.org/10.3390/rs11060673>
9. Capligins F, Litvinenko A, Kolosovs D, Terauds M, Zeltins M, Pikulins D. FPGA-Based Antipodal Chaotic Shift Keying Communication System. *Electronics*. 2022; 11(12):1870. <https://doi.org/10.3390/electronics11121870>
10. Çiçek, S.; Kocamaz, U.E.; Uyaroglu, Y. Secure Chaotic Communication with Jerk Chaotic System Using Sliding Mode Control Method and Its Real Circuit Implementation. *Iran. J. Sci. Technol. Trans. Electr. Eng.* 2019, 43, 687–698.
11. Elsayed G. F. N. et al., *FPGA design and implementation for adaptive digital chaotic key generator*, Bull. Nat. Res. Centre, 47(1):122, 2023. DOI: <https://doi.org/10.1186/s42269-023-01096-9>
12. Beshaj L. et al., *From Chaos to Security: A Comparative Study of Lorenz and Rössler Systems in Cryptography*, Cryptography, 7(4):58, 2023. DOI: <https://doi.org/10.3390/cryptography7040058>
13. Choi, S.; Yang, H.; Noh, Y.; Kim, G.; Kwon, E.; Yoo, H. FPGA-Based Multi-Channel Real-Time Data Acquisition System. *Electronics* 2024, 13, 2950. <https://doi.org/10.3390/electronics13152950>
14. Muthuswamy, B.; Banerjee, S. *A Route to Chaos Using FPGAs*; Springer International Publishing: Cham, Switzerland, 2015; Volume 16, ISBN 978-3-319-18104-2.
15. Damaj I, Zaher A, Lawand W (2024) Optimizing FPGA implementation of high-precision chaotic systems for improved performance. *PLoS ONE* 19(4): e0299021. <https://doi.org/10.1371/journal.pone.0299021>
16. Semenov, A. Osadchuk, O. Semenova, O. Baraban, S. Voznyak, O. Rudyk, A. Koval, K. (2021). Research of Dynamic Processes in the Deterministic Chaos Oscillator Based on the Colpitts Scheme and Optimization of Its Self-oscillatory System Parameters. In: Radivilova, T., Ageyev, D., Kryvinska, N. (eds) *Data-Centric Business and Applications. Lecture Notes on Data Engineering and Communications Technologies*, vol 48. Springer, Cham. https://doi.org/10.1007/978-3-030-43070-2_10
17. Semenov, A. Semenova, O. Osadchuk, O. Osadchuk, I. Baraban, S. Koval, K. Baraban, M. (2021). Pulse and Multifrequency Van der Pol Generators Based on Transistor Structures with Negative Differential Resistance for Infocommunication System Facilities. In: Ageyev, D., Radivilova, T., Kryvinska, N. (eds) *Data-Centric Business and Applications. Lecture Notes on Data Engineering and Communications Technologies*, vol 69. Springer, Cham. https://doi.org/10.1007/978-3-030-71892-3_6
18. Osadchuk O.V., Osadchuk I.O., Skoshchuk V.K., Petrenko V.I. *Deterministic chaos generator based on a bipolar field-effect transistor structure with negative differential resistance*. Measuring and computing equipment in technological processes. 2025, No. 2. –P.240-249. <https://doi.org/10.31891/2219-9365-2025-82-33>

Надійшла до редакції 1.07.2025р.

ОСАДЧУК ОЛЕКСАНДР ВОЛОДИМИРОВИЧ – доктор технічних наук, професор, завідувач кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет, [e-mail: osadchuk.av69@gmail.com](mailto:osadchuk.av69@gmail.com)

ОСАДЧУК ЯРОСЛАВ ОЛЕКСАНДРОВИЧ – доктор технічних наук, доцент, доцент кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет, [e-mail: osadchuk.j93@gmail.com](mailto:osadchuk.j93@gmail.com)

СКОЩУК ВАЛЕНТИН КОСТЯНТИНОВИЧ – аспірант кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет, [e-mail: skoschuk999@gmail.com](mailto:skoschuk999@gmail.com)

ПЕТРЕНКО ВІТАЛІЙ ІВАНОВИЧ – аспірант кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет, [e-mail: kaf.rt.vntu@gmail.com](mailto:kaf.rt.vntu@gmail.com)

ШИКУН КОСТЯНТИН ВІТАЛІЙОВИЧ – аспірант кафедри інформаційних радіоелектронних технологій і систем, Вінницький національний технічний університет, [e-mail: shykunkv@gmail.com](mailto:shykunkv@gmail.com)

O.V. OSADCHUK, I.O. OSADCHUK, V.K. SKOSCHUK, V.I. PETRENKO, K.V. SHIKUN

**FPGA IMPLEMENTATION OF A CHAOTIC ATTRACTOR BASED ON THE STRUCTURE
WITH NEGATIVE RESISTANCE USING A MODIFIED ANISHCHENKO-ASTAKHOV MODEL**
Vinnytsia National Technical University, Vinnytsia, Ukraine